

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06252948 A**(43) Date of publication of application: **09.09.94**

(51) Int. Cl.

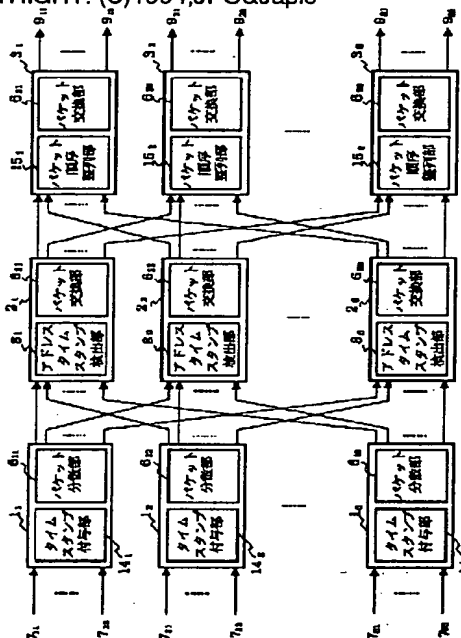
**H04L 12/56**(21) Application number: **05033663**(71) Applicant: **NEC CORP**(22) Date of filing: **23.02.93**(72) Inventor: **ARAMAKI TOSHIYA****(54) PACKET SWITCHING SYSTEM****(57) Abstract:**

**PURPOSE:** To provide a packet switching system which can suppress the increase of the packet delay time and also can be easily controlled by adding the arriving time information on the packet to be supplied to the header information on the packet.

**CONSTITUTION:** The time stamps, i.e., the arriving time information are given to the packets supplied to the primary switches  $1_1-1_8$  from the IN circuits  $7_{11}-7_{88}$ . Then these packets are sent to the secondary switches  $2_1-2_8$ . These secondary switches copy the arriving time information on the packets and transmit the copied information to the third switches  $3_1-3_8$  which store the addressed OUT circuits. At the same time, the packets are also transferred to the third switches for each address through the packet switching parts  $6_{21}-6_{28}$ . The arriving time information sent from the secondary switches and the packets are stored in a buffer. If the coincidence is secured between the head arriving time information of the buffer and the arriving time information on the head packet stored in the buffer, the packet is sent to the OUT circuits  $9_{31}-9_{88}$  via the packet

switching parts  $6_{31}-6_{38}$ .

COPYRIGHT: (C)1994,JPO&amp;Japio



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-252948

(43)公開日 平成6年(1994)9月9日

(51)Int.Cl.<sup>5</sup>

H 0 4 L 12/56

識別記号

庁内整理番号

F I

技術表示箇所

8529-5K

H 0 4 L 11/ 20

1 0 2 A

審査請求 有 請求項の数 2 O L (全 12 頁)

(21)出願番号 特願平5-33663

(22)出願日 平成5年(1993)2月23日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 荒巻 利也

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 井出 直孝

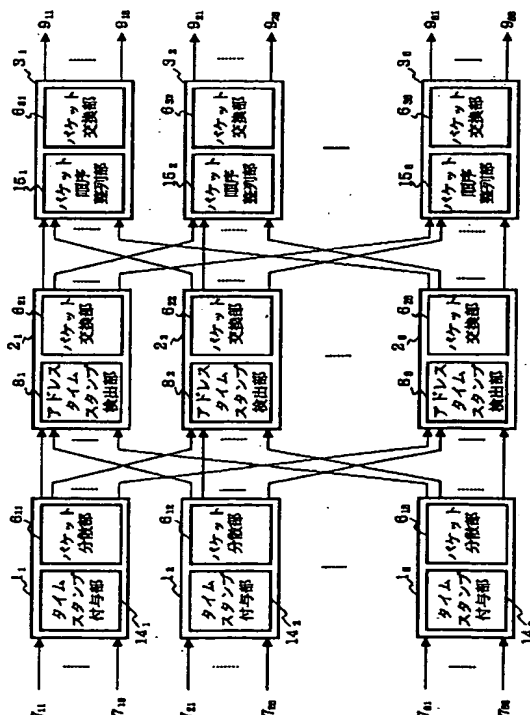
(54)【発明の名称】 パケット交換方式

(57)【要約】

【目的】 パケット交換方式において、パケットの順序整列に要する遅延時間の増大を防ぎ、かつパケットの順序整列に必要な制御を簡単に行う。

【構成】 入力パケットにタイムスタンプを付与する。このタイムスタンプを複写して到来順序を保持させたまま先に方路出口で待機させる。さまざまな経路により到来順序が入り乱れて方路出口に転送されたパケットに対して、すでに待機させている到来時刻順序に蓄積されたタイムスタンプを参照して順序整列を行う。

【効果】 パケットの順序整列を簡単な構成で高速に行い、パケット交換方式が高速化できる。



**【特許請求の範囲】**

**【請求項1】** パケットが到来する複数の入回線と、この入回線から入力されるパケットのヘッダ情報にその到来時刻情報を付与する手段と、このヘッダ情報にしたがってこのパケットを宛先毎に方路分けするスイッチと、この方路分けされたパケットの順序を到来時刻情報の順序にしたがって整列させる手段と、この整列させる手段により整列されたパケットが出力される複数の出回線とを備えたパケット交換方式において、前記付与する手段により付与された到来時刻情報をそれぞれのパケットのヘッダ情報から複写する手段と、この複写する手段により複写された到来時刻情報を前記整列させる手段に転送する手段とを備え、前記整列させる手段は、前記転送された到来時刻情報をその到来時刻の順番に蓄積させる手段と、この蓄積させる手段の先頭にある到来時刻情報と一致する到来時刻情報がヘッダ情報に含まれるパケットを前記出回線に送出する手段とを含むことを特徴とするパケット交換方式。

**【請求項2】** 前記複写する手段は、同一の到来時刻情報が付与されたパケットの数を計数する手段を備え、前記転送する手段は、この数をその到来時刻情報と共に転送する手段を備え、前記整列させる手段は、この数を到来時刻情報に対応させて記憶する手段と、この同一の到来時刻情報がヘッダ情報に含まれるパケットの送出毎にこの記憶する手段に記憶された前記数を一つ減算して更新する手段とを備えた請求項1記載のパケット交換方式。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** 本発明はディジタル通信に利用する。特に、パケットを用いるディジタル通信網のパケット交換技術に関する。

**【0002】**

**【従来の技術】** 音声、データ、画像等すべての情報をパケットに変換し、かつ簡略化したプロトコルを用いて、超高速に情報を伝送、交換するために用いる高速パケット交換方式への関心が高い。このような高速パケット交換方式において数百回線を越えるような大規模なパケット交換装置は中小規模なパケットスイッチを多段に接続することによって実現している。このとき、発呼時の呼の経路選択制御の簡略化および内部閉塞（内部閉塞とは入回線および出回線に呼を接続する空き容量があるにも係わらず、内部リンクの閉塞により呼が接続できない状態のことである）を防ぐために、入力されるパケットの経路選択をあらかじめ決定せず、初段のパケットスイッチで入力パケットをアドレス情報に関係なく、後段のパケットスイッチに均等に入力されるように出力し、後段のスイッチにおいてパケット毎に経路選択を行う方式が

あるが、この方式では同一呼に属するパケットが異なる経路を通過するので各パケットが各スイッチを通過するのに要する遅延時間が異なり同一呼に属するパケットの順序が狂う。これを解決する方式が交換研究回線SSE89-173にて林らにより発表された「大規模ATMスイッチにおける制御方式の検討」等で示されている。

**【0003】** 従来例装置を図9を参照して説明する。図9は従来例装置の構成図である。これらの論文では図9に示すような3段に交換装置を接続する構成において1次スイッチの入力部に配置するタイムスタンプ付与回路4<sub>11</sub>～4<sub>88</sub>で入力するパケットに入力時刻情報を表すタイムスタンプを付与した後、1次スイッチ1<sub>1</sub>～1<sub>8</sub>においてパケットのアドレス情報に関係なく各2次スイッチ2<sub>1</sub>～2<sub>8</sub>に分配され、2次スイッチ2<sub>1</sub>～2<sub>8</sub>および3次スイッチ3<sub>1</sub>～3<sub>8</sub>によって所望の行き先にパケット毎に交換され、3次スイッチ3<sub>1</sub>～3<sub>8</sub>の出力部にあるパケット順序整列回路5<sub>11</sub>～5<sub>88</sub>においてパケットを遅延させ、タイムスタンプ付与回路4<sub>11</sub>～4<sub>88</sub>に入力してから一定時間（1次スイッチ1<sub>1</sub>～1<sub>8</sub>から3次スイッチ3<sub>1</sub>～3<sub>8</sub>まで通過に要する最大遅延時間）以上経ったパケットから順次出力ポートに出力することによってパケットの順序を整列させる方式を示している。

**【0004】**

**【発明が解決しようとする課題】** このようなパケット交換方式では、パケット順序整列回路において入力より、ある一定時間以上パケットを遅延させるためパケットの遅延時間は増大する。また、パケット順序整列回路において遅延させている全てのパケットの遅延時間がある一定時間を越えているか否かを判断する必要があり、制御量が多くハードウェア構成が複雑であるといった問題がある。

**【0005】** 本発明はこのような背景に行われたものであって、パケットの遅延時間の増大を抑えかつ制御が簡単であるパケット交換方式を提供することを目的とする。

**【0006】**

**【課題を解決するための手段】** 本発明は、パケットが到来する複数の入回線と、この入回線から入力されるパケットのヘッダ情報にその到来時刻情報を付与する手段と、このヘッダ情報にしたがってこのパケットを宛先毎に方路分けするスイッチと、この方路分けされたパケットの順序を到来時刻情報の順序にしたがって整列させる手段と、この整列させる手段により整列されたパケットが出力される複数の出回線とを備えたパケット交換方式である。

**【0007】** ここで、本発明の特徴とするところは、前記付与する手段により付与された到来時刻情報をそれぞれのパケットのヘッダ情報から複写する手段と、この複写する手段により複写された到来時刻情報を前記整列させる手段に転送する手段とを備え、前記整列させる手段

は、前記転送された到来時刻情報をその到来時刻の順番に蓄積させる手段と、この蓄積させる手段の先頭にある到来時刻情報と一致する到来時刻情報がヘッダ情報に含まれるパケットを前記出回線に送出する手段とを含むところにある。

【0008】前記複写する手段は、同一の到来時刻情報が付与されたパケットの数を計数する手段を備え、前記転送する手段は、この数をその到来時刻情報と共に転送する手段を備え、前記整列させる手段は、この数を到来時刻情報に対応させて記憶する手段と、この同一の到来時刻情報がヘッダ情報に含まれるパケットの送出毎にこの記憶する手段に記憶された前記数を一つ減算して更新する手段とを備える構成とすることもできる。

【0009】

【作用】入回線から1次スイッチに入力されたパケットは到来時刻情報であるタイムスタンプを付与されてパケット分散部により衝突なく2次スイッチに出力される。

【0010】これを入力した2次スイッチは、アドレスタイムスタンプ検出部によりパケットから到来時刻情報を複写してこれを宛先の出回線を収容する3次スイッチに転送する。パケットも宛先毎にパケット交換部により3次スイッチに転送される。

【0011】2次スイッチから転送された到来時刻情報とパケットとはそれぞれバッファに蓄積される。到来時刻情報が蓄積されたバッファの先頭にある到来時刻情報とパケットが蓄積されたバッファの先頭にあるパケットの到来時刻情報とが一致すればそのパケットはパケット交換部を介して出回線に出力される。一致する到来時刻情報がなくなったら到来時刻情報が蓄積されたバッファの先頭は先頭の次の到来時刻情報に更新される。

【0012】パケットは1次～3次スイッチまでの間にいくつかのバッファを介するため遅延が与えられるが、到来時刻情報は遅延なく3次スイッチのバッファまで到達する。したがって、到着時刻情報の順序は入力されたとおりに3次スイッチのバッファに蓄積される。

【0013】3次スイッチには並行してパケットが蓄積される複数のバッファがあり、個々のバッファにおける時間順序は保持されているが、それぞれの先頭に位置するパケットの到来時刻情報はまちまちである。この送出制御を到来時刻情報が蓄積されているバッファの先頭に位置する到来時刻情報を参照して行うことにより、入力順序にしたがってパケットを出回線に送出することができる。

【0014】また、同一の到来時刻情報の数を記憶しておき、その到来時刻情報と一致するパケットが一つ送出される毎に記憶された数を一つ減算していく。この数が零になったら先頭の到来時刻情報を先頭の次の到来時刻情報に更新させるようにすることもできる。これにより、誤って正しい順次で送出されないパケットの発生を防ぐことができる。

【0015】

【実施例】本発明第一実施例の構成を図1を参照して説明する。図1は本発明第一実施例の構成図である。

【0016】本発明は、パケットが到来する64本の入回線 $7_{11} \sim 7_{88}$ と、この入回線 $7_{11} \sim 7_{88}$ から入力されるパケットのヘッダ情報にその到来時刻情報を付与する手段としてタイムスタンプ付与部 $14_1 \sim 14_8$ と、このヘッダ情報にしたがってこのパケットを宛先毎に方路分けするスイッチとしてそれぞれがクロスにリンク接続された1次スイッチ $1_1 \sim 1_8$ および2次スイッチ $2_1 \sim 2_8$ および3次スイッチ $3_1 \sim 3_8$ と、この方路分けされたパケットの順序を到来時刻情報の順序にしたがって整列させる手段としてパケット順序整列部 $15_1 \sim 15_8$ と、このパケット順序整列部 $15_1 \sim 15_8$ により整列されたパケットが出力される64本の出回線 $9_{11} \sim 9_{88}$ とを備えたパケット交換方式である。

【0017】ここで、本発明の特徴とするところは、タイムスタンプ付与部 $14_1 \sim 14_8$ により付与された到来時刻情報をそれぞれのパケットのヘッダ情報から複写する手段としてアドレスタイムスタンプ検出部 $8_1 \sim 8_8$ と、このアドレスタイムスタンプ検出部 $8_1 \sim 8_8$ により複写された到来時刻情報をパケット順序整列部 $15_1 \sim 15_8$ に転送する手段とを備え、パケット順序整列部 $15_1 \sim 15_8$ は、前記転送された到来時刻情報をその到来時刻の順番に蓄積させる手段と、この蓄積させる手段の先頭にある到来時刻情報と一致する到来時刻情報がヘッダ情報に含まれるパケットを出回線 $9_{11} \sim 9_{88}$ にパケット交換部 $6_{31} \sim 6_{38}$ を介して送出する手段とを含むところにある。

【0018】次に、図2～図5を参照して本発明第一実施例の各部の動作を説明する。ここでは、説明をわかりやすくするために、1次スイッチ $1_1$ 、2次スイッチ $2_1$ 、3次スイッチ $3_1$ について説明する。図2は本発明第一実施例の2次スイッチ $2_1$ のブロック構成図である。図3は本発明第一実施例の3次スイッチ $3_1$ のブロック構成図である。図4および図5は本発明第一実施例の動作を示す図である。1次スイッチ $1_1$ では、入回線 $7_{11} \sim 7_{18}$ から入力されたパケットのヘッダ情報にタイムスタンプ付与部 $14_1$ によりタイムスタンプが付与される。このパケットは衝突が生じないようにパケット分散部 $6_{11} \sim 6_{18}$ により8本の出力方路に分散されて2次スイッチ $2_1$ に出力される。

【0019】図2に示すように、2次スイッチ $2_1$ のアドレスタイムスタンプ検出部 $8_1$ のアドレスタイムスタンプ検出回路 $18_1 \sim 18_8$ では、1次スイッチ $1_1$ から入力されたパケットのヘッダ情報からそれぞれアドレスとタイムスタンプとを複写する。この複写されたタイムスタンプは、タイムスタンプ送出回路 $80$ によりアドレスに対応する出回線 $9_{11} \sim 9_{88}$ を収容する3次スイッチ $3_1 \sim 3_8$ にそれぞれ出力される。また、同一3次ス

イッチ3<sub>1</sub>～3<sub>3</sub>に対して同じ時刻のタイムスタンプが2個以上送出される場合には、これを1個として3次スイッチ3<sub>1</sub>～3<sub>3</sub>に送出する。アドレスタイムスタンプ検出回路18<sub>1</sub>～18<sub>3</sub>を通過したパケットは、時分割多重バス60を介してアドレスフィルタ62<sub>1</sub>～62<sub>3</sub>によりそのヘッダ情報からアドレスに対応したパケットバッファ64<sub>1</sub>～64<sub>3</sub>に一時蓄積され3次スイッチ3<sub>1</sub>～3<sub>3</sub>にそれぞれ出力される。このパケットバッファ64<sub>1</sub>～64<sub>3</sub>は、蓄積されたパケットがない場合には、そのことを示す空パケットを3次スイッチ3<sub>1</sub>～3<sub>3</sub>に送出する構成である。

【0020】図3に示すように、3次スイッチ3<sub>1</sub>では、2次スイッチ2<sub>1</sub>～2<sub>3</sub>から転送されたタイムスタンプをその到着順にタイムスタンプバッファ55に蓄積する。タイムスタンプ検出回路51では2個以上同じ時刻のタイムスタンプが異なる2次スイッチ2<sub>1</sub>～2<sub>3</sub>から送出された場合にこれを1個としてタイムスタンプバッファ55に蓄積する。このタイムスタンプは、途中でバッファを介していないので入力された順序を保持したままタイムスタンプバッファ55に蓄積される。

【0021】2次スイッチ2<sub>1</sub>～2<sub>3</sub>のパケットバッファ64<sub>1</sub>～64<sub>3</sub>から送出されたパケットは、3次スイッチ3<sub>1</sub>にあるパケット順序整列部15<sub>1</sub>のパケット順序整列バッファ52<sub>1</sub>～52<sub>3</sub>に蓄積される。このパケット順序整列バッファ52<sub>1</sub>～52<sub>3</sub>の入力側にある空パケット検出回路50<sub>1</sub>～50<sub>3</sub>は、2次スイッチ2<sub>1</sub>～2<sub>3</sub>のパケットバッファ64<sub>1</sub>～64<sub>3</sub>に送出するパケットが存在しないことを示す空パケットが3次スイッチ3<sub>1</sub>に転送されたことを検出する回路である。

【0022】バッファ状態監視回路54は、パケット順序整列手順の開始タイミングを検出している。バッファ状態監視回路54は、パケット順序整列バッファ52<sub>1</sub>～52<sub>3</sub>のパケット蓄積状態を監視し、全てのパケット順序整列バッファ52<sub>1</sub>～52<sub>3</sub>にパケットが存在するか、またはパケットの存在しない全てのパケット順序整列バッファ52<sub>1</sub>～52<sub>3</sub>に2次スイッチ2<sub>1</sub>～2<sub>3</sub>から空パケットが送出されたときを検出しタイムスタンプ比較回路56に検出結果を出力する。これにより、3次スイッチ3<sub>1</sub>に未到着のパケットが存在し、このパケットがパケット順序整列手順に参加できなくなることを防いでいる。

【0023】バッファ状態監視回路54からの信号によりタイムスタンプ比較回路56は、タイムスタンプバッファ55に蓄積された先頭のタイムスタンプの時刻とパケット順序整列バッファ52<sub>1</sub>～52<sub>3</sub>の先頭パケットに付与されたタイムスタンプの時刻とを比較して一致したパケットを多重回路58に送出させる制御信号をパケット順序整列バッファ52<sub>1</sub>～52<sub>3</sub>に送出する。タイムスタンプバッファ55の先頭のタイムスタンプの時刻と一致するタイムスタンプを付与されたパケットが全て

送出されたとき、タイムスタンプバッファ55の先頭のタイムスタンプは廃棄されて次のタイムスタンプが先頭に繰り上がる。この繰り上がったタイムスタンプについて同様の手順でパケットが多重回路58に送出される。多重回路58の出力は、パケット交換部61<sub>31</sub>に輸入される。パケット交換部61<sub>31</sub>では、アドレスフィルタ62<sub>1</sub>～62<sub>3</sub>によりパケットの宛先が振り分けられ、パケットバッファ64<sub>1</sub>～64<sub>3</sub>に蓄積される。このパケットバッファ64<sub>1</sub>～64<sub>3</sub>に蓄積されたパケットは出回線9<sub>11</sub>～9<sub>13</sub>から送出される。

【0024】図4および図5に3次スイッチ3<sub>1</sub>の動作をさらにわかりやすく示した。図4に示すように、タイムスタンプバッファ55の先頭のタイムスタンプの時刻は④であり、パケット順序整列バッファ52<sub>1</sub>の先頭パケットに付与されたタイムスタンプも④である。したがって、このタイムスタンプ④を付与されたパケットは多重回路58に出力される。

【0025】図5に示すように、タイムスタンプバッファ55の先頭にあるタイムスタンプの時刻④と同じタイムスタンプを付与されたパケットは、もはやパケット順序整列バッファ52<sub>1</sub>～52<sub>3</sub>には存在しないので時刻④を持つタイムスタンプは廃棄される。

【0026】次に、図6～図8を参照して本発明第二実施例を説明する。図6は本発明第二実施例における2次スイッチ2<sub>1</sub>のブロック構成図である。図7は本発明第二実施例における3次スイッチ3<sub>1</sub>のブロック構成図である。図8は本発明第二実施例の動作を示す図である。図6に示すように、2次スイッチ2<sub>1</sub>では、1次スイッチ1<sub>1</sub>～1<sub>3</sub>から転送されたパケットが時分割多重バス60を介してアドレスフィルタ62<sub>1</sub>～62<sub>3</sub>により宛先が振り分けられてパケットバッファ64<sub>1</sub>～64<sub>3</sub>に蓄積される。このときパケットのヘッダ情報に付与されているタイムスタンプをアドレスタイムスタンプ検出部8<sub>1</sub>が複写する。アドレスタイムスタンプ検出部8<sub>1</sub>にパケットバッファ64<sub>1</sub>～64<sub>3</sub>対応に設けられたパケット数演算回路82<sub>1</sub>～82<sub>3</sub>により、パケットのヘッダ情報からタイムスタンプが複写されるが、このときパケット数演算回路82<sub>1</sub>～82<sub>3</sub>は同じ時刻のタイムスタンプの数を計数する。そのタイムスタンプの時刻情報とその同じ時刻のタイムスタンプの数情報とが3次スイッチ3<sub>1</sub>～3<sub>3</sub>に転送される。

【0027】図7に示すように、3次スイッチ3<sub>1</sub>では、パケット順序整列バッファ52<sub>1</sub>～52<sub>3</sub>に蓄積された先頭パケットのタイムスタンプの時刻とタイムスタンプバッファ55に蓄積されたタイムスタンプの時刻とをタイムスタンプ比較回路56が比較する。タイムスタンプバッファ55の先頭タイムスタンプの数がパケット数バッファ59の先頭に対応して蓄積されている。一致するタイムスタンプが存在する場合にはそのパケットを送出させその個数をパケット数減算回路57によりパケ

ット数バッファ59から減算する。この先頭に蓄積されている先頭タイムスタンプの数が「0」になったときにタイムスタンプバッファ55の先頭タイムスタンプは廃棄され、その次のタイムスタンプが先頭に繰り上がり、以上説明した動作が繰り返される。また、パケット順序整列バッファ52<sub>1</sub>～52<sub>8</sub>は、パケット順序整列バッファ52<sub>1</sub>～52<sub>8</sub>に空きがなくなったときは、2次スイッチ2<sub>1</sub>に対してパケットの出力を停止させるように通知する。

【0028】図8に示すように、パケット数バッファ59の先頭に蓄積されているタイムスタンプ数が「0」になると、タイムスタンプバッファ55の先頭タイムスタンプが廃棄され、同時にパケット数バッファ59の先頭データも廃棄される。

【0029】本発明第二実施例では、パケット数バッファ59を設けることにより同じ到来時刻情報のタイムスタンプを持つパケット数をパケット順序整列部15<sub>1</sub>が把握している。これにより、パケット順序整列手順をすべてのパケットの到着を待たずに行っても未到着のパケットがパケット順序整列手順に参加できなくなることを防ぐことができる。したがって、本発明第一実施例よりもさらに高速なパケット交換方式が実現できる。

【0030】本発明第一および第二実施例において1次スイッチ1<sub>1</sub>～1<sub>8</sub>のパケット分散部6<sub>11</sub>～6<sub>18</sub>は、入力と出力とが1対1に接続でき、その接続を順次変更できる交換スイッチであればいかなる構成のものを用いてもよい。

【0031】また、2次スイッチ2<sub>1</sub>～2<sub>8</sub>および3次スイッチ3<sub>1</sub>～3<sub>8</sub>のパケット交換部6<sub>21</sub>～6<sub>28</sub>、6<sub>31</sub>～6<sub>38</sub>は、順序を入れ替えることなくパケットの交換処理および出力を行うことができる交換スイッチであればいかなる構成のものを用いてもよい。

【0032】

【発明の効果】以上説明したように、本発明によれば、あらかじめ経路選択を必要とせずに内部閉塞を防ぐと共にパケットの順序整列に要する遅延時間の増大を防ぎ、かつパケットの順序整列に必要な制御を簡単に行うことができる。

【図面の簡単な説明】

【図1】本発明第一実施例装置の構成図。

【図2】本発明第一実施例の2次スイッチのブロック構成図。

【図3】本発明第一実施例の3次スイッチのブロック構成図。

【図4】本発明第一実施例の動作を示す図。

【図5】本発明第一実施例の動作を示す図。

【図6】本発明第二実施例の2次スイッチのブロック構成図。

【図7】本発明第二実施例の3次スイッチのブロック構成図。

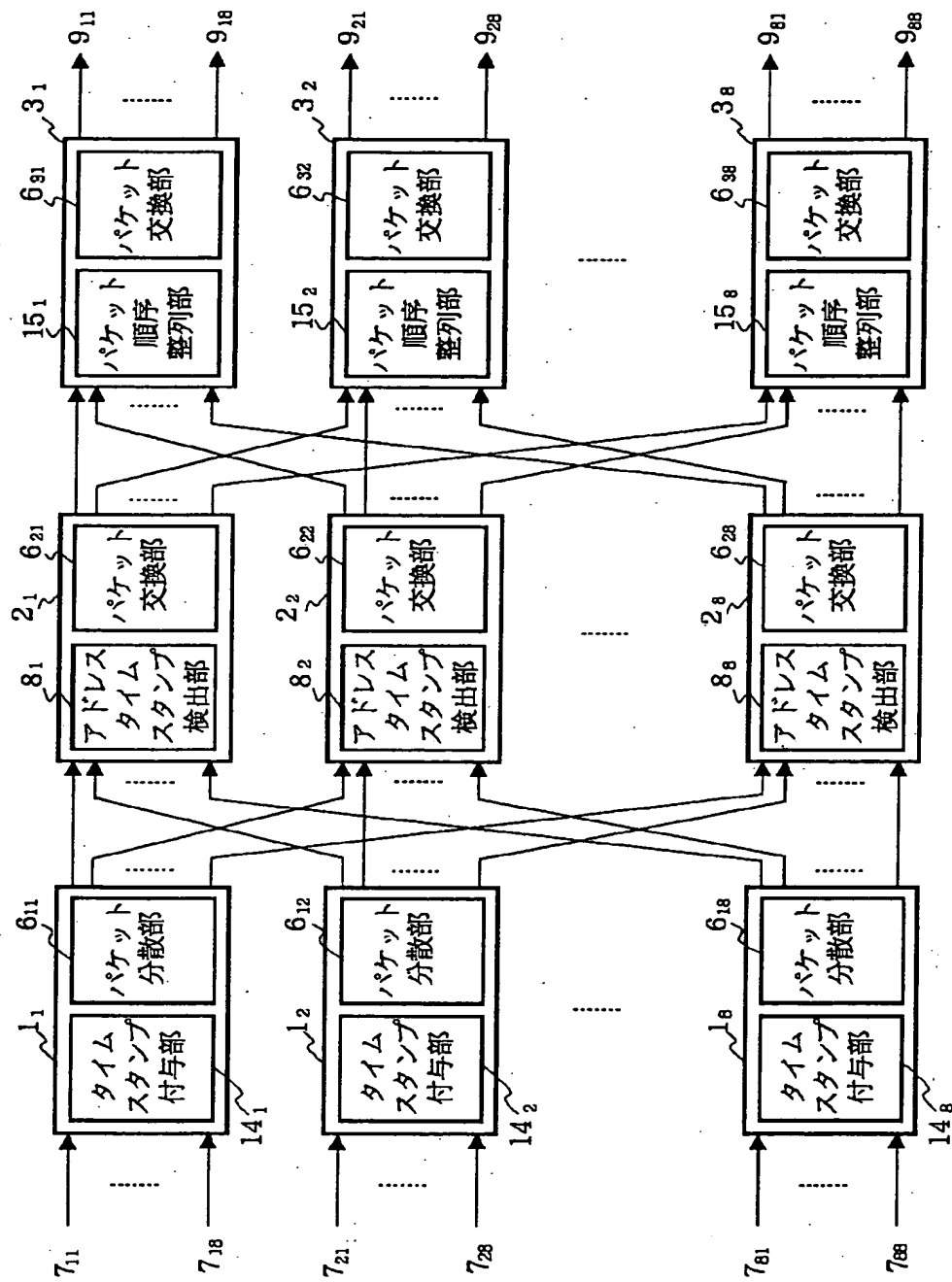
【図8】本発明第二実施例の動作を示す図。

【図9】従来例装置の構成図。

【符号の説明】

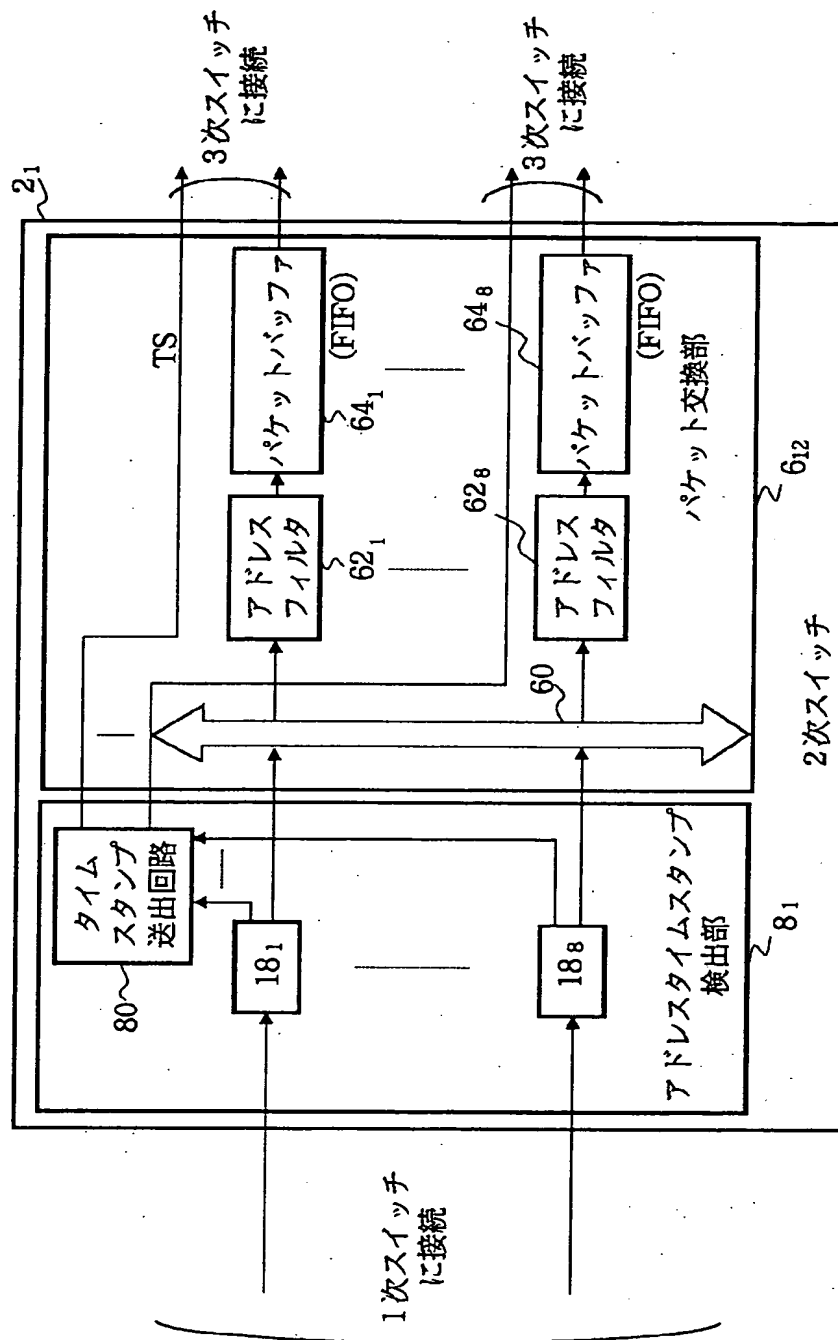
- 1<sub>1</sub>～1<sub>8</sub> 1次スイッチ
- 2<sub>1</sub>～2<sub>8</sub> 2次スイッチ
- 3<sub>1</sub>～3<sub>8</sub> 3次スイッチ
- 6<sub>11</sub>～6<sub>18</sub> パケット分散部
- 6<sub>21</sub>～6<sub>28</sub> パケット交換部
- 6<sub>31</sub>～6<sub>38</sub> パケット交換部
- 7<sub>11</sub>～7<sub>88</sub> 入回線
- 8<sub>1</sub>～8<sub>8</sub> アドレスタイムスタンプ検出部
- 9<sub>11</sub>～9<sub>88</sub> 出回線
- 14<sub>1</sub>～14<sub>8</sub> タイムスタンプ付与部
- 15<sub>1</sub>～15<sub>8</sub> パケット順序整列部
- 18<sub>1</sub>～18<sub>8</sub> アドレスタイムスタンプ検出回路
- 50<sub>1</sub>～50<sub>8</sub> 空パケット検出回路
- 51 タイムスタンプ検出回路
- 52<sub>1</sub>～52<sub>8</sub> パケット順序整列バッファ
- 54 バッファ状態監視回路
- 55 タイムスタンプバッファ
- 56 タイムスタンプ比較回路
- 57 パケット数減算回路
- 58 多重回路
- 59 パケット数バッファ
- 60 時分割多重バス
- 62<sub>1</sub>～62<sub>8</sub> アドレスフィルタ
- 64<sub>1</sub>～64<sub>8</sub> パケットバッファ
- 80 タイムスタンプ送出回路
- 82<sub>1</sub>～82<sub>8</sub> パケット数演算回路

【図1】

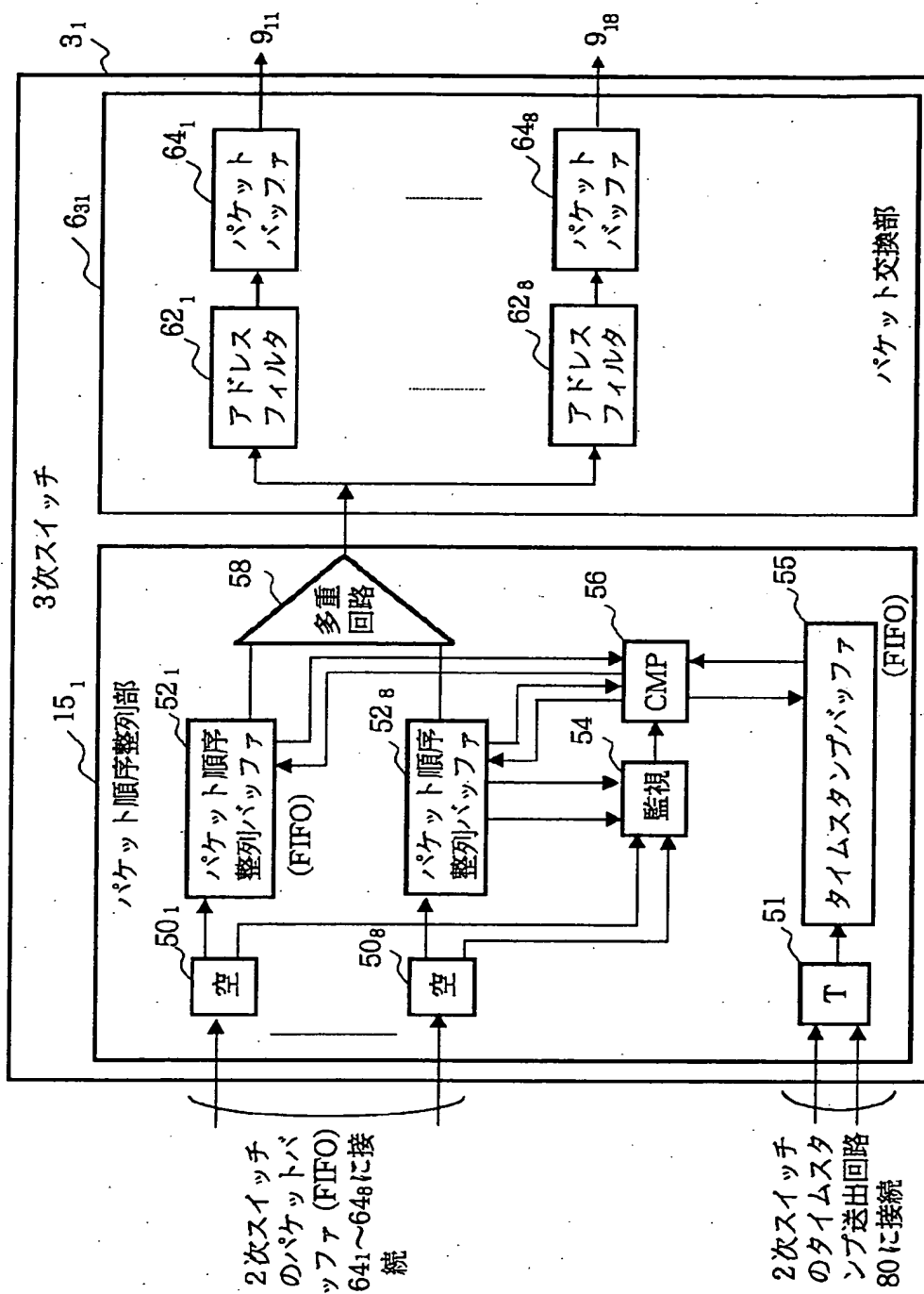




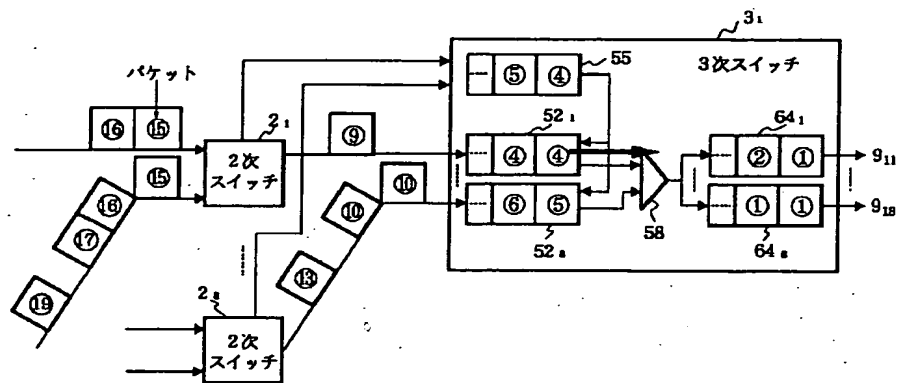
【図2】



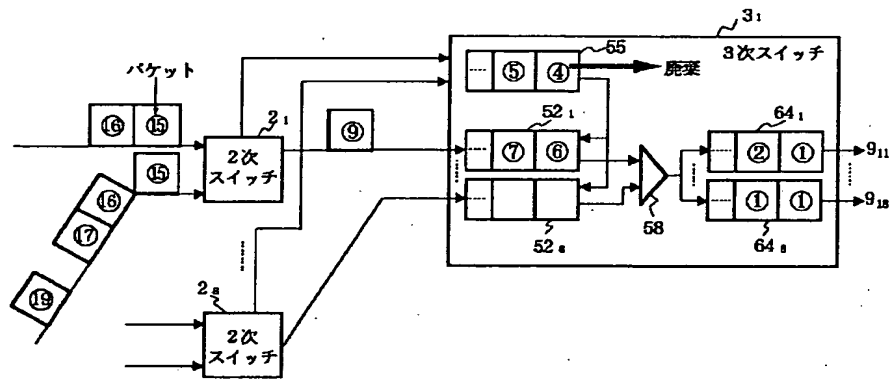
【図 3】



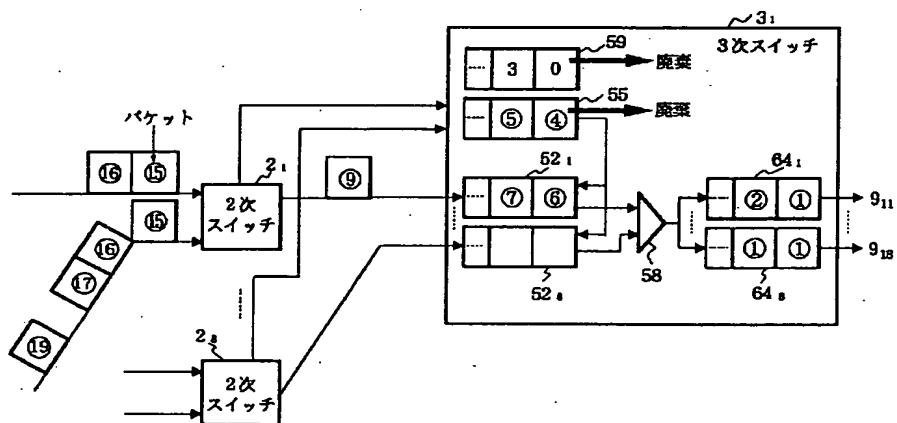
【図4】



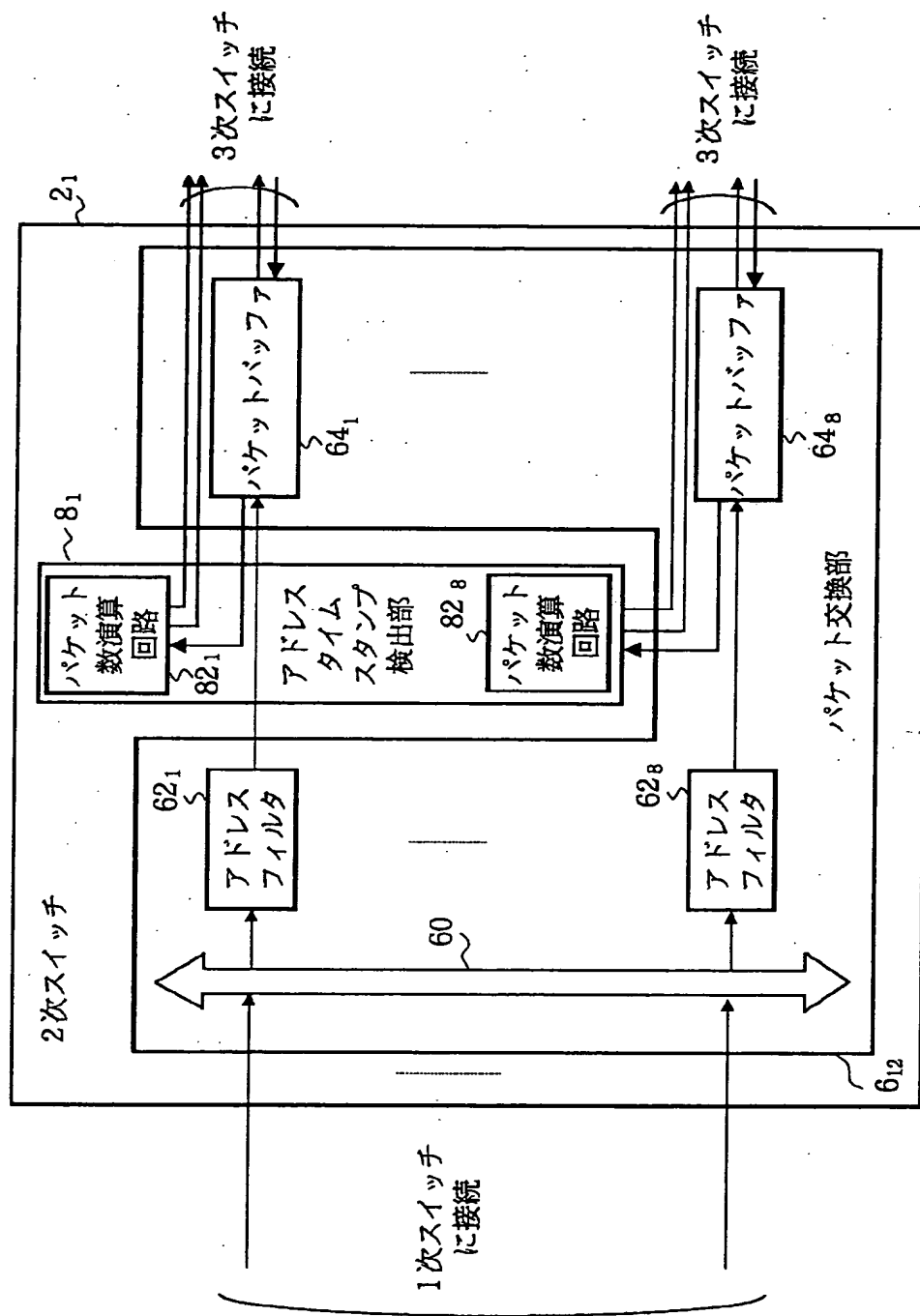
【図5】



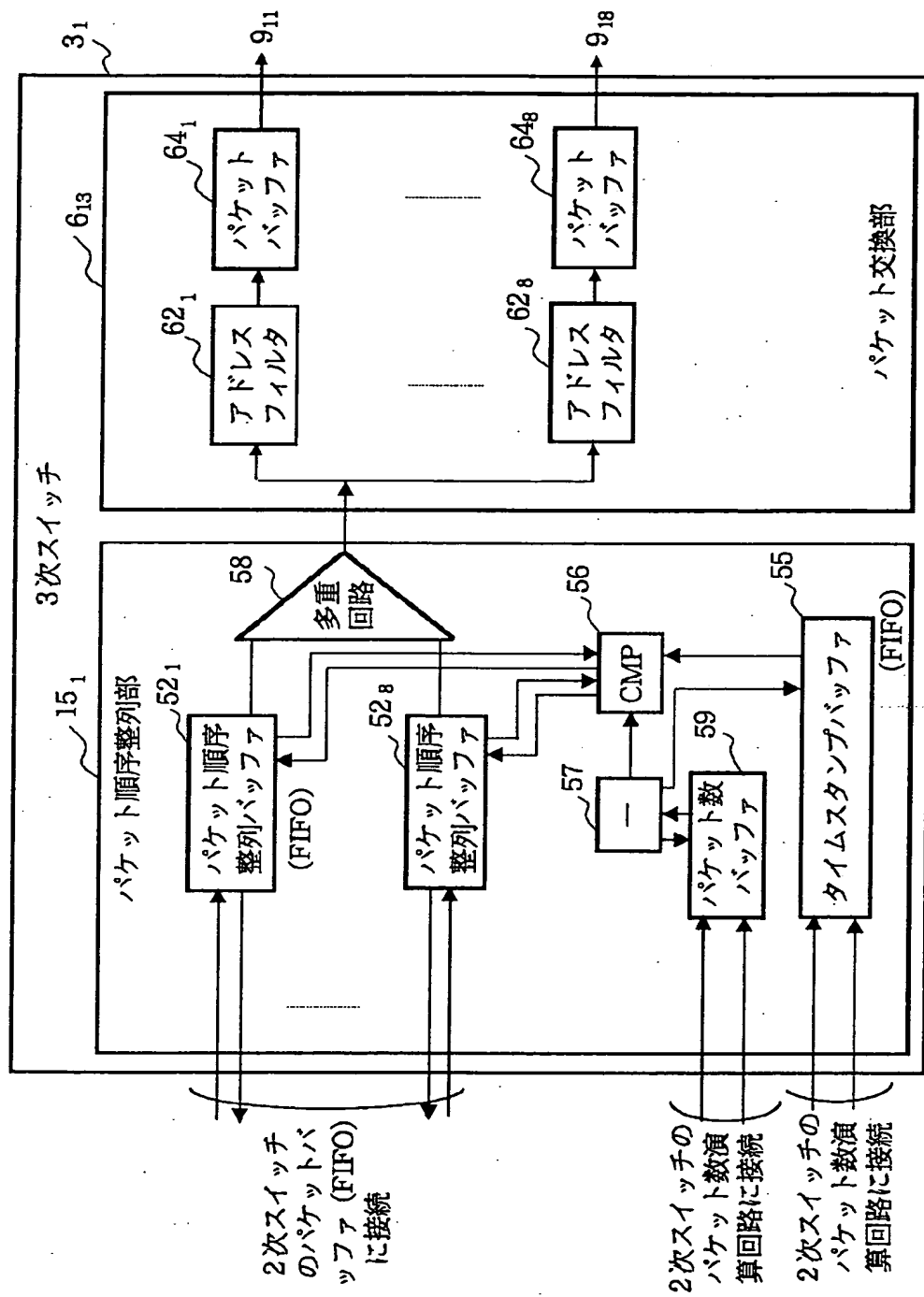
【図8】



【図6】



【図7】



【図9】

